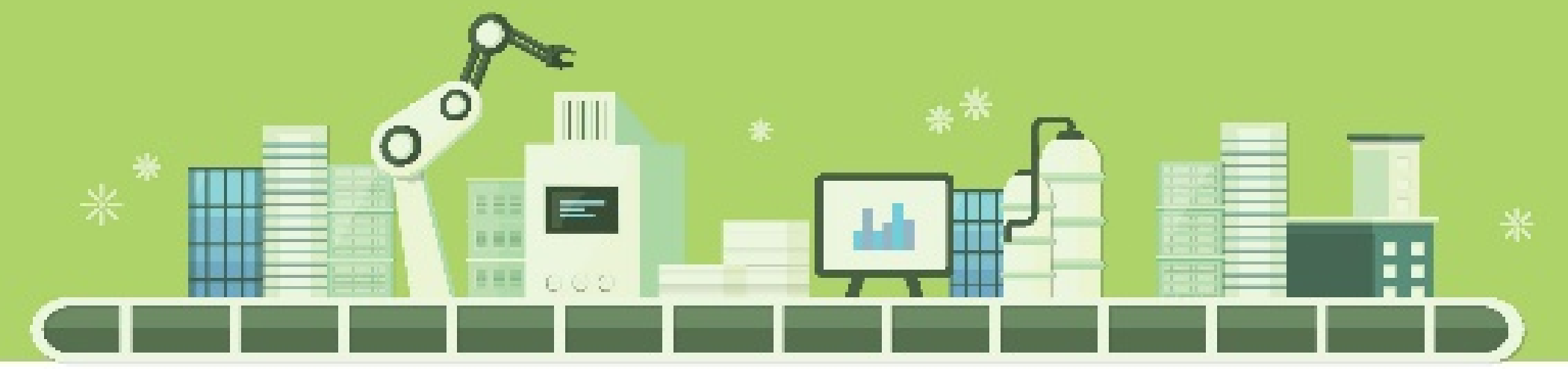




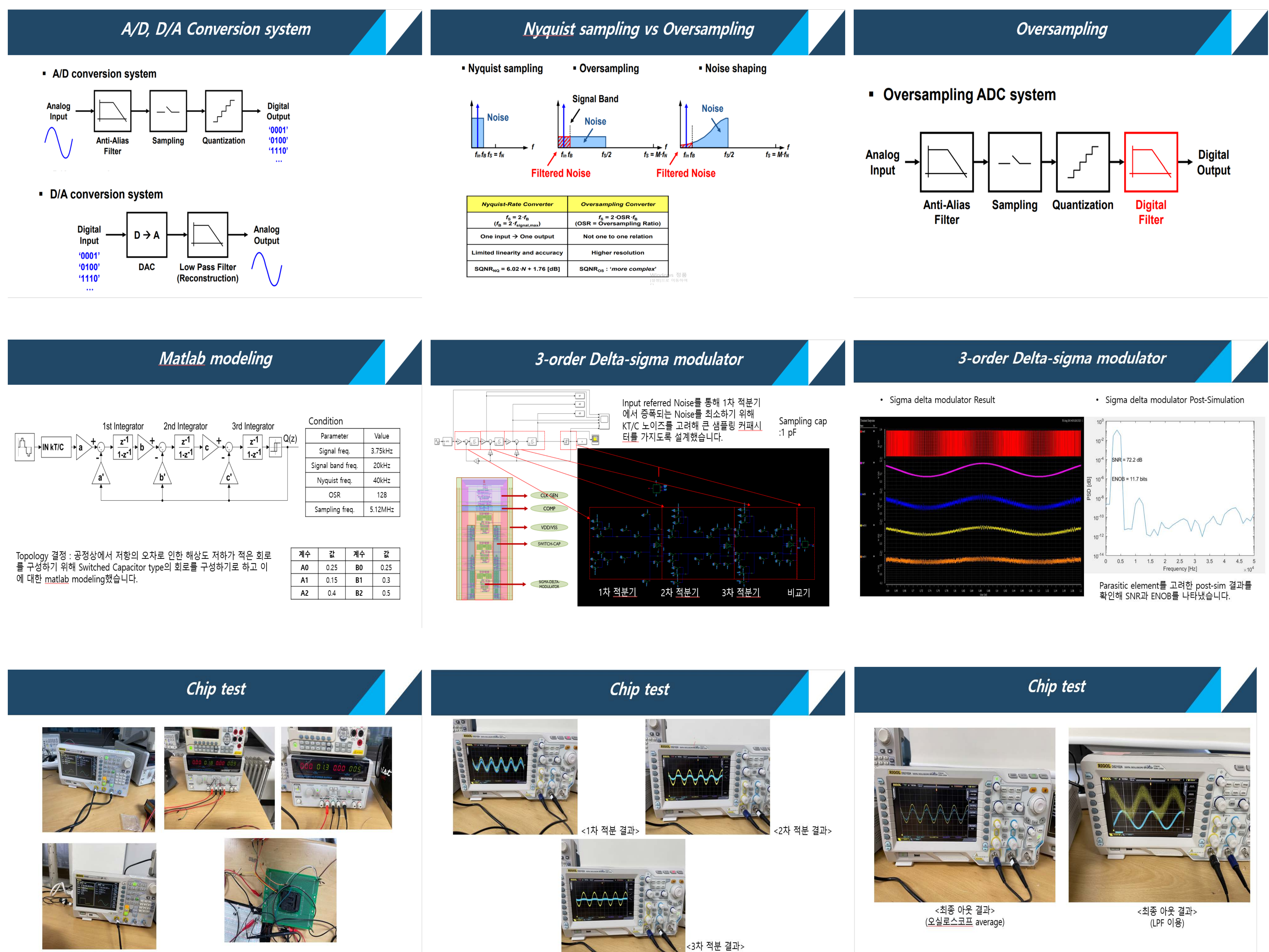
180nm 고해상도를 위한 스위치 타입 3차 시그마 델타 변조기 설계

이신호, 고호균, 이재훈, 조성익
전북대학교

양자화 잡음을 최소화하기 위해 샘플링 주파수를 증가시켜 입력신호 대역폭 내에서 양자화 잡음의 크기를 낮추고, 양자화 잡음의 형태를 Noise Shaping을 통해 High Pass Filter로 변형시켜 ADC의 출력 해상도를 최대화 할 수 있는 Sigma Delta ADC를 제작할 것이다.

이를 설계하기 위해 차동 입력 차동 출력을 나타내는 Fully Differential Amplifier(FDA)를 설계할 것이고, 회로의 DC 출력을 안정화 하기 위해 Common-Mode Feedback(CMFB) 회로를 사용할 것이다.

설계한 AMP를 이용하여 입력신호를 Discrete time으로 받는 Switched capacitor(SC)-Integrator를 이용할 것이다. 양자화를 위한 1bit-adc로 입력신호를 Clock(CLK)에 따라 동작하는 Dynamic latched type Comparator를 제작할 것이다. 최종적으로 모든 회로들을 이용해 3th-Ordered Sigma Delta Modulator를 제작할 것이다. 해당 설계는 CMOS 180nm의 공정을 사용하며 공급전압은 1.8V, 입력신호의 대역폭은 20kHz, SNR은 85dB로 설계할 것이다.



SK 하이닉스 180nm 공정으로 $PM=62.3^\circ$, $Gain=62\text{dB}$, Unity gain bandwidth=88MHz를 갖는 Rail to Rail Amplifier를 기반으로 하는 Switched Capacitor 3차 Sigma-delta Modulator를 설계하였다. 설계에서 증폭기의 중앙 함수는 SC-CMFB를 통해 확보되어 증폭기의 중앙 전압을 안정적으로 사용할 수 있다. Matlab Simulink Tool을 사용하여 SC-Integrator의 모델링 계수와 커패시턴스 값을 결정하고, 양자화를 위한 1bit-ADC인 Dynamic latched type comparator는 Cadence의 Virtuoso를 사용하여 수행하였다. 모델링 및 post-sim 결과의 해상도가 달랐는데 이는 Layout에서 기생성분으로 인한 계수 값의 변화와 전원에 연결된 Noise 및 thermal Noise로 인해 성능 저하가 발생했음을 나타낸다. 이를 개선하기 위해 LDO와 같은 회로를 추가로 구성하여 전력 노이즈를 최소화하거나 공조 회로를 추가로 구성하여 안정성을 높이는 방법이 있고, 회로 앞에 anti-aliasing 회로를 구성하여 샘플링 주파수 내에서 양자화 노이즈를 차단하는 방법도 있다. 이러한 방법을 통해 회로를 구성하면 12 비트 이상의 시그마-델타 ADC를 구현할 수 있을 것으로 예상된다. 설계된 Sigma-delta Modulator를 통해 고해상도 정보는 ADC 설계에서 DSP가 될 수 있으며, 이는 가전 및 의료의 다양한 분야에 적용될 수 있다.

‘본 논문은 IDEC 지원으로 수행됨’